

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-202599

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

H03G 3/20

H03G 3/10

H03G 3/30

(21)Application number : 05-334183

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.12.1993

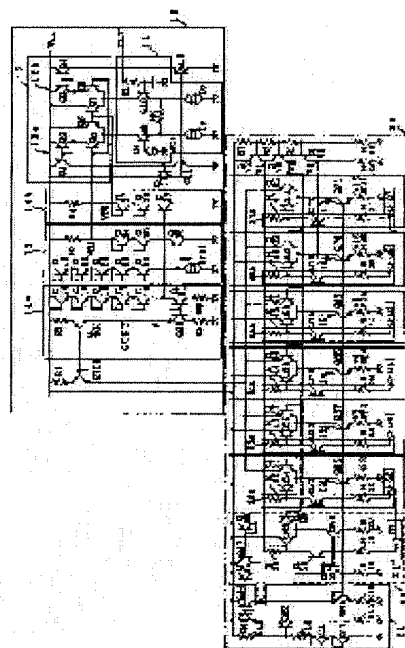
(72)Inventor : TAGOME REIJI

(54) VOLUME CONTROL CIRCUIT

(57)Abstract:

PURPOSE: To provide the volume control circuit with a reduced loss of gain and a wide dynamic 't range by compensating the shortage of the control current at the time of maximum volume.

CONSTITUTION: By using the MSB of parallel data, a reference current value of a D/A conversion means 20 is switched. A switching signal is supplied to a switch circuit 31 consisting of a gate circuit G1 and a switching transistor Q51 and sets the current value of totaling a reference current circuit 21 and the constant current circuit of a control means 30, or the current value of the circuit 21 are set to the reference current. When the current setting value corresponding to the LSB of the D/A conversion means 20 is switched off, it is taken as $3.125\mu\text{A}$. At the time of switching on, it is taken as $6.25\mu\text{A}$. At the time of the maximum volume, the total of the current of each bit is set as the control current ICONT of a volume adjustment circuit 10. Thus, the loss to be decided by the ratio between the reference current Iref and the control current can be improved.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-202599

(43)公開日 平成7年(1995)8月4日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 G	3/20	A		
	3/10	B		
	3/30	Z		

審査請求 未請求 請求項の数4 O L (全 14 頁)

(21)出願番号 特願平5-334183

(22)出願日 平成5年(1993)12月28日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 田籠 礼二

埼玉県深谷市幡羅町1丁目9番2号 株式
会社東芝深谷工場内

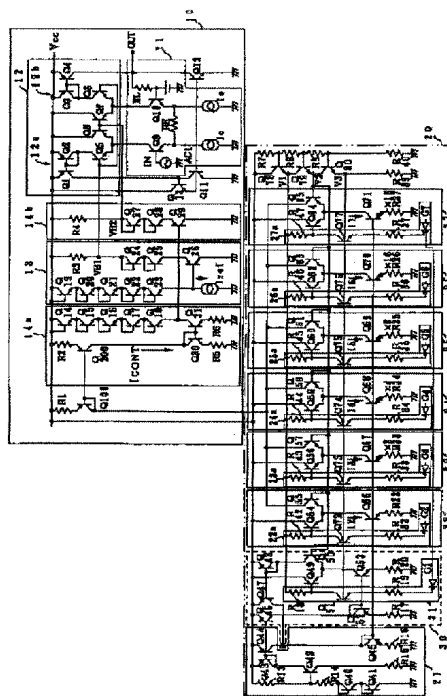
(74)代理人 弁理士 伊藤 進

(54)【発明の名称】 音量コントロール回路

(57)【要約】

【目的】 音量最大時でのコントロール電流の不足を補償し、利得の損失を小さくするとともにダイナミックレンジの大きな音量コントロール回路を提供すること。

【構成】 パラレルデータのMSBを用いて、D/A変換手段20の基準電流値を切り換える。ゲート回路G1とスイッチングトランジスタQ51で構成されるスイッチ回路31へスイッチング信号を供給し、基準電流回路21と制御手段30の定電流回路の和の電流値、あるいは基準電流回路21の電流値を基準電流に設定する。D/A変換手段20のLSBに対応する電流設定値をスイッチオフ時には、 $3.125 \mu A$ とし、スイッチオン時には、 $6.25 \mu A$ とする。音量最大時には、各ビットの電流の総和が音量調節回路10の制御電流I_{CONT}として設定され、基準電流I_{ref}と制御電流の比で決定される損失が改善される。



【特許請求の範囲】

【請求項 1】 音声信号源に結合した入力端子および音量調整用電圧が供給される制御端子を有する音量調整回路と、

複数ビットの平行データを供給する手段と、
前記データの各ビット毎に対応して並列に形成した複数の電流回路を含み、各電流回路を各ビットデータによってそれぞれオン・オフ制御し、これら電流回路を流れる総和電流を出力として供給する D/A 変換回路と、
前記平行データの内、最上位ビットのデータに
10 前記各電流回路の電流量を切り換え、前記 D/A 変換回路からの出力電流を非線形に制御する制御手段と、
前記 D/A 変換回路からの出力電流を電圧に変換して前記音量調整用電圧を発生する手段とを具備したことを特徴とする音量コントロール回路。

【請求項 2】 前記 D/A 変換回路の各電流回路は、エミッタを共通接続し差動回路を成す第 1、第 2 のトランジスタと、この第 1、第 2 のトランジスタのエミッタに結合した第 1 の定電流源と、前記第 1、第 2 のトランジスタのベースバイアス源と、前記第 1 のトランジスタのベース電圧をビットデータに
20 前記第 1 のトランジスタのオン・オフ状態を切り換える手段とを具備し、
各電流回路の第 1 のトランジスタのコレクタを直流電圧源に接続し、第 2 のトランジスタのコレクタを互いに結合して出力電流を得るようにしたことを特徴とする請求項 1 記載の音量コントロール回路。

【請求項 3】 前記制御手段は、エミッタを共通接続し差動回路を成す第 3、第 4 のトランジスタと、この第 3、第 4 のトランジスタのエミッタ
30 に結合した第 2 の定電流源と、前記第 3、第 4 のトランジスタのベースバイアス源と、前記第 3 のトランジスタのベース電圧を前記最上位ビットデータに
前記第 3 のトランジスタのオン・オフ状態を切り換える手段と、第 3 のトランジスタのコレクタに
入力端子を結合した第 1 のカレントミラー回路と、この第 1 のカレントミラー回路の出力電流および第 3 の定電流源から
*
$$A = -20 \cdot \log_2 X$$

A は、聴覚感度、X は、音源の強度である。この特性に
40 合っているものを理想的な音量コントロール回路とすることができる。

【0003】 図 9 に理想的な音量コントロールカーブを示す。縦軸は音量の減衰量、横軸は、階調数を示している。また、音量コントロール回路の集積回路で一般的に使用されている回路を図 10 に示す。この回路は、コントロール電流 I_{CONT} の設定により、音量を調節する回路であり、以下図面を参照して説明する。

【0004】 音源 AC1 の入力音声信号 IN は、トランジスタ Q9、Q10 と、各トランジスタのエミッタに共

* の電流が入力として供給される第 2 のカレントミラー回路を具備し、

前記第 2 のカレントミラー回路の出力電流で前記各電流回路の電流量を決定するようにしたことを特徴とする請求項 1 記載の音量コントロール回路。

【請求項 4】 音声信号に結合した入力端子および音量調整用電圧が供給される制御端子を有する音量調整回路と、

複数ビットの平行データを供給する手段と、
前記データの平行データを供給する手段と、前記データの各ビット毎に並列に形成した複数の電流回路を含み、各電流回路を流れる電流が順次異なる値に設定され、これら電流回路を流れる総和電流を出力として供給する D/A 変換回路と、

平行データの内、最上位ビットのデータに
前記各電流回路の電流量の倍率を切り換え、前記 D/A 変換回路の出力電流の変化特性を第 1 の領域と第 2 の領域とで非線形に制御する制御手段と、
前記 D/A 変換回路からの出力電流を電圧に変換して前記音量調整用電圧を発生する手段とを具備したことを特徴とする音量コントロール回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、音声処理回路などに用いられる音量コントロール回路に係り、特にバスライン制御のサウンドプロセッサ IC のような、論理的に音量コントロールを行う音量コントロール回路に関する。

【0002】

【従来の技術】 従来、音声は、音声周波数などのスペクトラム解析が行われ、音声用の IC が各種、開発されている。音源の音量あるいは音質などが、音声信号の伝達系たとえば、人間の聴覚機構あるいは信号伝達の伝送媒質などから考慮される。一般には、人間の聴覚特性は、音源の大きさが 20 dB 減衰した時には、ほぼ半分の大きさに聞こえると言われている。これを、数式で表すと、次式のような対数特性となる。

【数 1】

40 通に接続されるエミッタ抵抗 R_E と、電流源 I_O とで構成される差動増幅回路 11 で増幅され、負荷抵抗 R_L を介して出力される。

【0005】 差動増幅回路 11 の各トランジスタ Q9、Q10 のコレクタは、各々、直流電源 V_{CC} にバイアス調整回路 12 の差動回路 12a、12b を介して接続される。各バイアス用の差動回路 12a、12b は、一対のトランジスタ Q5~Q6、Q7~Q8 と、トランジスタ Q6、Q7 のコレクタに接続される直流電源 V_{CC} と、トランジスタ Q5、Q8 のコレクタに接続されるコレクタ・ベース接続のダイオード Q2、Q3 と、このダイオー

ドQ2, Q3にベースが接続され、エミッタが直流電源に接続されるトランジスタQ1、Q4とを備えている。また、外部負荷の駆動能力を向上させるトランジスタQ11、Q12のエミッタは基準電位に接続され、ベースは、トランジスタQ13のエミッタへ接続される。トランジスタQ13のベースは、トランジスタQ11のコレクタへ接続され、トランジスタQ13のコレクタは直流電Vccに接続される。

【0006】差動回路12のトランジスタQ5~Q8の各ベースは、基準電流設定用(Iref)の基準電流回路13と、コントロール電流Icontで設定されるコントロール電流設定用回路14A、14Bに、各々接続され、各ベース電位VB1、VB2が、基準電流Irefとコントロール電流Icontで設定される。

【0007】基準電流回路13は、直流電源Vccに接続されたコレクタ・ベース接続のダイオードQ19~Q23と電流源Irefとを備えており、基準電流源Irefがベースに接続され、エミッタが基準電位に接続されるトランジスタQ26と、このトランジスタQ26のエミッタに接続されるコレクタ・ベース接続の2段接続のダイオードQ24、Q25と、抵抗R3と、直流電源Vccとで構成される。バイアス調整回路12の一方の差動回路12aのトランジスタQ5、他方の差動回路12bのトランジスタQ8の各々のベースに、基準電流回路13のトランジスタQ26のエミッタ電圧がダイオードQ24、Q25を介して供給される。

【0008】コントロール電流設定用回路14aは、基準電流回路13と同様に5段接続のダイオードQ14~Q18と、トランジスタQ31とで構成される定電流回路とを備え、トランジスタQ31のベース電流をコン

$$\begin{aligned} VB1 &= V_{cc} - 5 \times V_{BE} + 3 \times V_{BE} \\ &= V_{cc} - 5 \times h \times \ln \left(\frac{I_{ref}}{I_S} \right) + 3 \times V_{BE} \end{aligned}$$

$$\begin{aligned} VB2 &= V_{cc} - 5 \times V_{BE} + 3 \times V_{BE} \\ &= V_{cc} - 5 \times h \times \ln \left(\frac{I_{cont}}{I_S} \right) + 3 \times V_{BE} \end{aligned}$$

ただし、

$$h = \frac{kT}{q}$$

上式より差分を計算すると、

【数3】

$$\frac{\Delta V_B}{h} = \ln \left(\frac{I_{ref}}{I_{cont}} \right)^5$$

* ロール電流Icontで制御し、トランジスタのエミッタ電圧をVB2を制御する。また、コントロール電流設定用回路14bは、2段のダイオードQ27、Q28とトランジスタQ29および抵抗R4の直列接続にて成り、ダイオードQ27、抵抗R4の接続点が各差動回路12a、12bのトランジスタQ6、Q7のベースに接続される。

【0009】音量コントロール回路10は、コントロール電流Icontの設定により、音量を最大からセンタに絞ると、ほぼ20dB減衰し、音量を更に絞ると、急激に減衰するようになっている。これは、減衰量が足りないと残音として音が聞こえてしまうからであり、この残音特性を除去するため、コレクタ・ベース接続のダイオードQ14~Q18、Q19~Q23を5段、積み重ねている。

【0010】以下、PN接合系の各電位関係を電子物性を用いて詳細に説明する。バイポーラトランジスタのコレクタ電流をIC、PN接合の逆方向の飽和電流をIS、分子運動の熱係数をK、カルビン温度で表される絶対温度をT、電子の電荷をqとする。コレクタ、ベース、エミッタ間の各電圧は、コレクタ；C、ベース；B、エミッタ；Eの添字を加えて示し、たとえばVBEでベース・エミッタ間の電位を示すものとする。なお、基準電流源の電流値をIrefとし、コントロール電流をIcontとする。また、バイポーラトランジスタのエミッター・コレクタ間電流増幅率をαとする。差動回路12a、12bの入力電圧をVB1、VB2(図10参照)とすると、

【数2】

さらに、PN接合系の電流特性を指数関数で表し、

【数4】

$$I_E = I_S \left(\exp \left(\frac{V_{BE}}{h} \right) - 1 \right) = I_0$$

とすると、次式が算出される。

【数5】

$$I_c = \frac{\alpha \cdot I_0}{1 + \exp \left(\frac{\Delta V_B}{h} \right)} = \frac{\alpha \cdot I_0}{1 + \left(\frac{I_{ref}}{I_{cont}} \right)^5} \quad 10$$

*

$$Gain = 20 \cdot \log \left(\frac{V_{out}}{V_{in}} \right) = 20 \cdot \log \left(\frac{I_c}{I_0} \cdot \frac{R_L}{R_E} \right) \cdots 1$$

ここで、20 dB減衰させるためには、 $I_{ref} / I_{cont} = 1.55$ にすれば良いことが上式より分かる。

【0011】ところが、図11に示すように、 $I_{ref} / I_{cont} = 1.55$ を中間値として減衰特性を設定すると、コントロール電流 I_{CONT} は、リニアに変化するため、最小値、最大値は、一意的に決定され、最大値では、電流比は、0.775となり、減衰量2.14 dBとなる。図11の点線で示すように、減衰特性を変化させ、コントロール電流値を中間値の3倍で最大値となるように制御電流を設定すると最大値での減衰量は、0.31 dBと改善されるが、最小値の設定が最小音量の特性に対応せず、動作範囲外となるため、中間値近傍まで不感帯となるという問題があった。

【0012】また、この問題の改善策として、負荷抵抗 R_L を大きくして、利得を稼ぐ方法が考えられる。しかしながら、この方法では、抵抗の熱雑音、インピーダンス不整合、あるいは、帰還系などから雑音特性を考慮すると、負荷抵抗 R_L がノイズ特性劣化の要因となり、残留ノイズが悪化するという問題が生じる。また、DCオフセット成分、すなわち入出力信号の誤差成分は、負荷抵抗値によりオフセット量が増大するため、この値を大きくすることは、動作特性上不利となる。さらに、エミッタ抵抗 R_E を小さくすると、入力最小感度が低下するほか、入力ダイナミックレンジが小さくなるため、バイアス電流を大きくしなければならぬ。これは、消費電流の増大を招き、DCオフセットの悪化を招くという問題がある。

【0013】結局、負荷抵抗 R_L とエミッタ抵抗 R_E を用いた減衰率の改善では、さほどの改善が得られず、また、音量最大値でのノイズレベルについても、損失の大きい方が悪いという問題が残り、コントロール電流の特性がリニアでは、最大音量設定時での利得の損失を回路の諸特性を損なわずに改善することが不可能であるという問題があった。

【0014】

* 差動増幅回路11のトランジスタQ10のベースには、DC電圧、コレクタの出力信号が負荷抵抗 R_L を介して帰還されている。音声信号の増幅率は、エミッタ抵抗 R_E と負荷抵抗 R_L 、エミッタ電流、電流源 I_0 と上式のコレクタ電流 I_C から算出される。デシベルに換算した式を次式に示す。

【数6】

【発明が解決しようとする課題】上記の如く、従来の回路では、コントロール電流をリニアに変化させ、音量を可変にしているため、最大音量設定時の損失低減、入力のダイナミックレンジの拡大、ノイズの低減といった動作特性を同時に改善することが不可能であるという問題があった。

【0015】そこで、本発明はこのような問題に鑑み、音量最大時でのコントロール電流の不足を補償し、利得の損失を小さくするとともにダイナミックレンジの大きな音量コントロール回路を提供することを目的としている。

【0016】

【課題を解決するための手段】請求項1記載の音量コントロール回路は、音声信号源に結合した入力端子および音量調整用電圧が供給される制御端子を有する音量調整回路と、複数ビットのパラレルデータを供給する手段と、前記データの各ビット毎に対応して並列に形成した複数の電流回路を含み、各電流回路を各ビットデータによってそれぞれオン・オフ制御し、これら電流回路を流れる総和電流を出力として供給するD/A変換回路と、前記パラレルデータの内、最上位ビットのデータにตอบสนองして前記各電流回路の電流量を切り換え、前記D/A変換回路からの出力電流を非線形に制御する制御手段と、前記D/A変換回路からの出力電流を電圧に変換して前記音量調整用電圧を発生する手段とを具備したことを特徴とするものである。

【0017】請求項2記載の音量コントロール回路は、請求項1記載の音量コントロール回路において、前記D/A変換回路の各電流回路が、エミッタを共通接続し差動回路を成す第1、第2のトランジスタと、この第1、第2のトランジスタのエミッタに結合した第1の定電流源と、前記第1、第2のトランジスタのベースバイアス源と、前記第1のトランジスタのベース電圧をビットデータにตอบสนองして制御し、第1、第2のトランジスタのオン・オフ状態を切り換える手段とを具備し、各電流回路

の第 1 のトランジスタのコレクタを直流電圧源に接続し、第 2 のトランジスタのコレクタを互いに結合して出力電流を得るようにしたことを特徴とするものである。

【0018】請求項 3 記載の音量コントロール回路は、請求項 1 記載の音量コントロール回路は、前記制御手段が、エミッタを共通接続し差動回路を成す第 3、第 4 のトランジスタと、この第 3、第 4 のトランジスタのエミッタに結合した第 2 の定電流源と、前記第 3、第 4 のトランジスタのベースバイアス源と、前記第 3 のトランジスタのベース電圧を前記最上位ビットデータにตอบสนองして制御し第 3、第 4 のトランジスタのオン、オフ状態を切り換える手段と、第 3 のトランジスタのコレクタに端子を結合した第 1 のカレントミラー回路と、この第 1 のカレントミラー回路の出力電流および第 3 の定電流源からの電流が流入して供給される第 2 のカレントミラー回路を具備し、前記第 2 のカレントミラー回路の出力電流で前記各電流回路の電流量を決定するようにしたことを特徴とするものである。

【0019】請求項 4 記載の音量コントロール回路は、音声信号に結合した入力端子および音量調整用電圧が供給される制御端子を有する音量調整回路と、複数ビットの平行データを提供する手段と、前記データの平行データを提供する手段と、前記データの各ビット毎に並列に形成した複数の電流回路を含み、各電流回路を流れる電流が順次異なる値に設定され、これら電流回路を流れる総和電流を出力として供給する D/A 変換回路と、平行データの内、最上位ビットのデータにตอบสนองして前記各電流回路の電流量の倍率を切り換え、前記 D/A 変換回路の出力電流の変化特性を第 1 の領域と第 2 の領域とで非線形に制御する制御手段と、前記 D/A 変換回路からの出力電流を電圧に変換して前記音量調整用電圧を発生する手段とを具備したことを特徴とするものである。

【0020】

【作用】本発明においては、D/A 変換手段の基準電流を制御手段で制御し、基準電流を任意に設定することにより、最大音量時での損失を抑制すると同時に最小音量から最大音量までの入力ダイナミックレンジを拡大することが可能となる。

【0021】

【実施例】図 1 は本発明の音量コントロール回路の一実施例である。図 10 と同様の構成要素には、同一の符号を付して説明するものとする。図 1 において、音量コントロール回路は、音量調節回路 10 と、D/A 変換手段 20 と、コントロール電流を非線形に制御する制御手段 30 とを備えている。

【0022】音量調節回路 10 は、従来と同様の構成であり、コントロール電流が制御手段 30 により制御される。

【0023】制御手段 30 は、定電流回路と、スイッチ

回路 31 とで構成される。定電流回路は、一対のトランジスタ Q49、Q50 を備えた差動回路と、直流電源 VCC と、定電流源を構成するトランジスタ Q46、Q52、Q53、抵抗 R17、R20 と、差動回路の一方のトランジスタ Q50 のコレクタに接続されるコレクタ・ベース接続のダイオード接続のトランジスタ Q48 と、このトランジスタ Q48 のベースに接続され、コレクタが基準電流回路 21 に接続されるトランジスタ Q47 とで構成される。

【0024】前記差動回路 Q49、Q50 の一方のトランジスタ Q49 のベースには、スイッチ回路 31 が接続され、他方には直流電源 V2 が接続される。スイッチ回路 31 は、直流電源 V1 と、抵抗 R18 と、スイッチングトランジスタ Q51 と、抵抗 R19 と、ゲート回路 G1 とで構成される。直流電源 V1 が、抵抗 R18 を介して、スイッチングトランジスタ Q51 のコレクタへ接続され、このトランジスタ Q51 のエミッタは抵抗 R19 を介して、ゲート回路 G1 たとえば、オープンコレクタタイプのインバータ回路へ接続される。このスイッチングトランジスタ Q51 のベースは直流電源 V3 に接続される。このスイッチ回路 31 には、平行データバスの最上位ビットのデータ（以下、MSB という）が供給される。基準電流回路 21 は、バイアス設定用の回路とトランジスタ Q44 とで構成される基準電流源 I1 と、ダイオード接続のトランジスタ Q45 と、抵抗 R16 とを備える。バイアス設定用の回路は、トランジスタ Q44 のベースに接続されるダイオード接続のトランジスタ Q43 と、エミッタ接地型のトランジスタ Q42 と、Q42 のバイアス回路を構成する抵抗 R13、R14 とダイオード接続のトランジスタ Q40、Q41 を備える。また、変換手段 20 は、制御手段 30 と、基準電流回路 21 と、定電流回路 22～27 と、直流電源 VCC とを備えており、定電流回路 22～27 が、平行データバスの各ビット毎に設けられる。この定電流回路 22～27 の総和がコントロール電流 ICONT となる。最下位ビット（以下、LSB という）の定電流値毎に制御電流値 ICONT が設定できるように構成される。定電流回路 22 が LSB に対応し、定電流回路 27 が MSB に対応している。各定電流回路 22～27 は、差動回路のトランジスタ Q54～Q65 と、スイッチ回路 22a～27a と、抵抗 R22～R27 と、トランジスタ Q66～Q71 で構成される定電流源 I2～I7 とを備える。

【0025】定電流源 I2 から順次 2 倍の電流値が設定され、定電流源 I6 は 16 倍の電流値が設定される。各ビットの定電流回路 22～27 は、音量回路 10 のコントロール電流設定用の電流値 ICONT を制御するようダイオード接続のトランジスタ Q100 と抵抗 R1 を介して直流電源 VCC に接続される。ダイオード接続のトランジスタ Q100 は、コントロール電流設定回路 14a のトランジスタ Q200 のベースに接続されており、D/A

変換回路20の電流に変化に応じて、直流電源VCCからトランジスタQ200のエミッタ・コレクタを介して制御電流I_{CONT}が流れる。この制御電流により、差動増幅回路11のトランジスタQ9、Q10のコレクタに接続されるバイアス設定用回路12の差動回路Q6、Q7のベース電圧VB2が設定される。

【0026】図1の動作を図2、図3を参照して説明する。図2は、図1の回路のD/A変換手段の動作説明図であり、図3は、図2の回路のコントロール電流の特性を示す図である。図2において、基準電流回路21の電流源と制御手段30の電流源には同じ電流が流れるので各電流源をI1で示している。制御手段30のスイッチ回路31および各定電流回路22～27のスイッチ回路22a～27aをそれぞれスイッチSW1～SW7で示している。これらスイッチSW1～SW7は、パラレルビットの各データによってオン・オフ制御され、6ビットのデータの内、最下位ビットのデータがスイッチSW2に供給され、順次、上位桁のビットデータがスイッチSW3～SW6に供給され、最上位ビットのデータがスイッチSW1とSW7に供給されている。

【0027】そして各スイッチSW1～SW7は、供給されるデータが“1”のとき、オン“0”であるとき、各スイッチがオフするようになっている。また、定電流源I2、I3、・・・I6には順次、倍の電流が流れるように設定されている。

【0028】この図2においてスイッチSW1～SW7は供給されるビットデータがいずれも“0”であるとき、各スイッチSW1～SW7はオフとなり、トランジスタQ49、Q54、Q58、Q60、Q62、Q64がオンする。一方、トランジスタQ50、Q55、Q57、Q59、Q61、Q63、Q65がオフするため、トランジスタQ100には、電流が流れず、制御電流はゼロである。また、最下位ビット(LSB)のみが“1”のとき定電流回路22のスイッチSW2のみがオンとなり、電流I2に等しい電流がトランジスタQ100に流れる。

【0029】以下、上位ビットのデータが供給されるに従って電流I3～I6が流れ、その総和電流がトランジスタQ100に流れる。

【0030】さらに最上位ビット(MSB)が“1”になるとスイッチSW1とSW7がオンするが、トランジスタQ49がオフ、Q50がオンするためQ50に結合したカレントミラQ48、Q47を介してトランジスタQ45に電流が流れ、このトランジスタQ45には定電流源I1と電流とトランジスタQ47からの電流が加算されて倍の電流が流れる。このため、Q45とともにカ

レントミラーを構成するトランジスタQ66、Q67、Q68、Q69、Q70、Q71に流れる電流も倍になり、MSBが“1”になった時点(64階調の中間地点)でトランジスタQ100に流れる電流が増加し図3のような特性のコントロール電流I_{CONT}が得られる。

【0031】基準電流源の電流は100μAとなり、変換手段20の最小電流設定値(分解能)は、基準電流をデータ数で割った値すなわち $100 \div 32 = 3.125 \mu A$ となる。一方、スイッチSW1がオン、すなわちMSBが高い場合、基準電流は、定電流回路の電流値100μAとの和、200μAとなり、D/A変換手段20の最小電流設定値は、 $200 \div 32 = 6.25 \mu A$ となる。小音量範囲をスイッチSW1；オフ、中間領域から最大領域をスイッチSW1；オンとして、図3のコントロール電流特性を得ることが可能となる。

【0032】また、図4に示すような音量特性が得られる。センタ付近Aで、20dBの減衰量が得られ、音量最大時、各ビットの総和で算出される電流値300μAを流すことが可能となり、最大時の損失を低減できる。図中、点線が理想の音量特性カーブであり、実線は、本発明の実施例の音量コントロール回路の音量特性カーブである。スイッチSW1のオン領域とオフ領域の切り換え点を点Aで示す。

【0033】図5に本発明の他の実施例を示す。データを6ビットから7ビットへ変更した例であり、各ビットに対応する回路を1ビット分付加して構成している以外、上記実施例と全く同様であり、最上位ビットに対応する低電流回路28(トランジスタQ78、Q81、Q82を含む回路)を付加したものである。このような構成にすることにより、データが増加し、音量最大時の電流値をさらに増加させることが可能となり、損失を低減できる。図6に図5の実施例の音量特性を示す。7ビットのデータ、128データの内の100階調を用いた例であり、図の点線が理想の音量特性、実線が本実施例の音量特性である。

【0034】また、図7は、図1の構成のうち、残音特性用の5段直列構成のダイオードQ14～Q18、Q19～Q25を4段に変更した例である。この場合、従来例の式1の指数部を5から4に変更して利得が計算される。データ量の増加を伴うが、小音量領域の特性が図8のように改善される。

【0035】なお、本発明の音量コントロール回路のアンプの改善による特性向上の効果を下表に示す。

【0036】

【表1】

項 目	改善前	改善後	改善率
負荷抵抗	14.2k Ω	12.0k Ω	—
ノイズレベル	1.84E-5V	1.39E-5V	2.44dB
残留ノイズ	1.52E-6V	1.84E-5V	0.71dB
オフセット	42mV	38mV	9.5%

このように、アンプの性能を改善することにより、負荷抵抗あるいはエミッタ抵抗の改善による特性劣化が無くなるばかりでなく、負荷抵抗値を低減することができ、負荷抵抗に起因するノイズレベルの低減（2.44dBの改善率）、DCオフセットの低減（9.5%の改善率）、残留ノイズの低減（0.71dB）を図ることが可能となる。

【0037】

【発明の効果】以上述べたように本発明によれば、音量調節回路の増幅回路の性能を、コントロール電流を非線形に設定して制御することにより、S/Nの向上、残留ノイズの低減、DCオフセットの低減を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明による音量コントロール回路の一実施例を示す回路図である。

【図2】図1のD/A変換手段の動作を説明する図である。

【図3】図1の音量コントロール回路のコントロール電流の特性を示す図である。

【図4】図1の音量コントロール回路の音量特性を示す図である。

【図5】本発明による音量コントロール回路の他の実施*

*例を示す回路図である。

【図6】図5の音量コントロール回路の音量特性を示す図である。

【図7】本発明による音量コントロール回路の他の実施例を示す回路図である。

【図8】図7の音量コントロール回路の音量特性を示す図である。

【図9】理想の音量コントロール特性を示す図である。

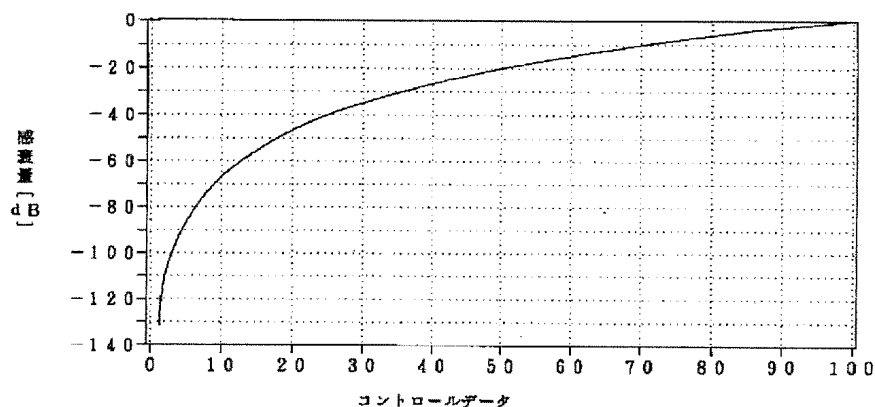
【図10】従来の音量コントロール回路を示す回路図である。

【図11】従来の音量コントロール回路の制御電流の特性を示す図である。

【符号の説明】

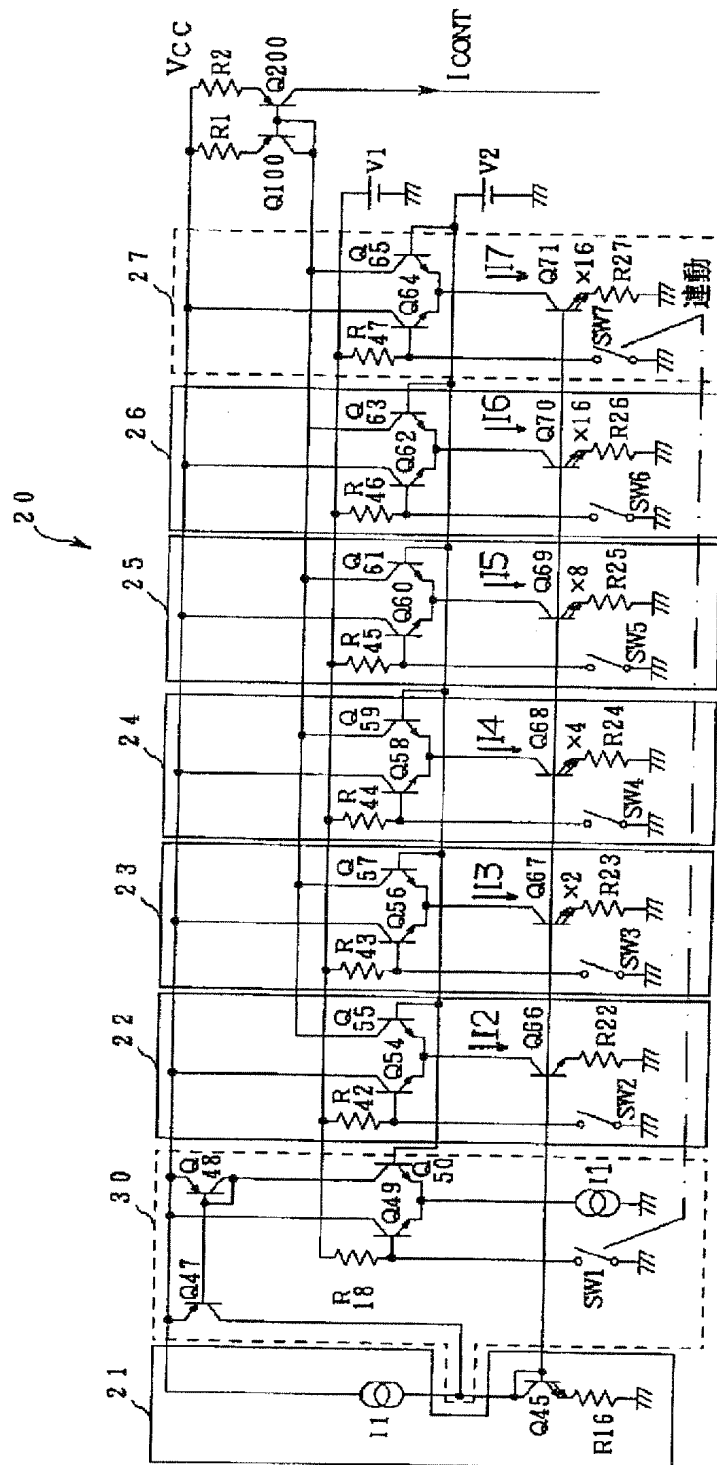
- 10…音量調節回路
- 20…D/A変換手段
- 21…基準電流回路
- 22～27…定電流回路
- 22a～27a…スイッチ回路
- 30…制御手段
- 31…スイッチ回路
- Q1～Q80…トランジスタ
- G1～G7…ゲート回路

【図9】

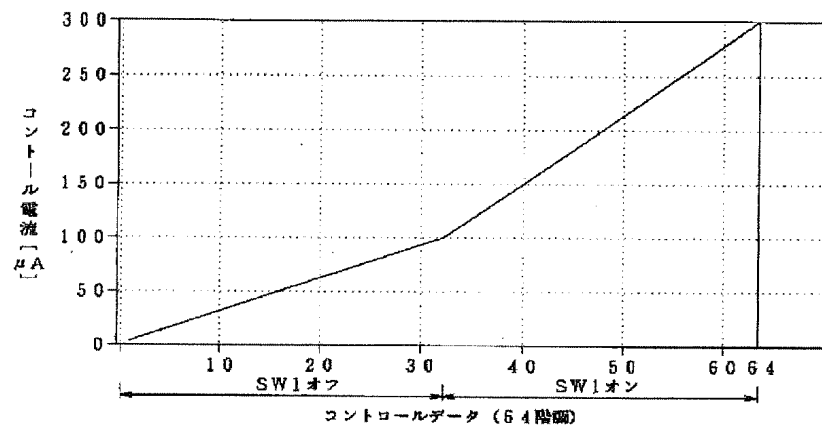


The schematic diagram illustrates a 10-bit digital-to-analog converter. It features a complex arrangement of transistors (Q1-Q30), resistors (R1-R40), and current sources (I1, Iref). The circuit is organized into several functional blocks, each enclosed in a dashed box and labeled with a number: 1.0, 1.1, 1.2, 1.3, 1.4a, and 1.4b. Block 1.0 contains the input stage and a reference current source. Block 1.1 is an output buffer. Blocks 1.2, 1.3, 1.4a, and 1.4b form the current source array, which is a key component in the DAC's operation. The output of the DAC is taken from the collector of transistor Q12. The circuit is powered by a Vcc supply and ground.

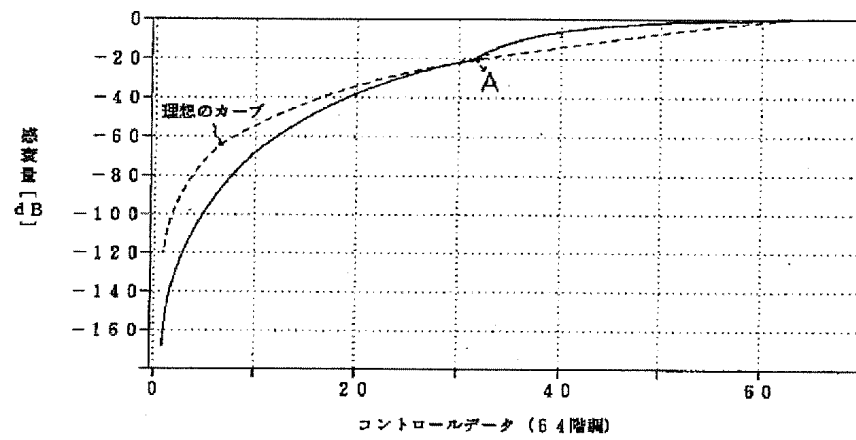
【図2】



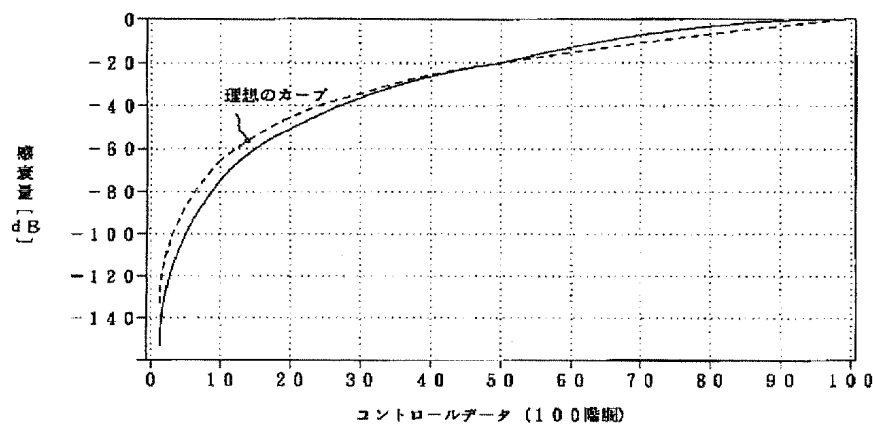
【図3】



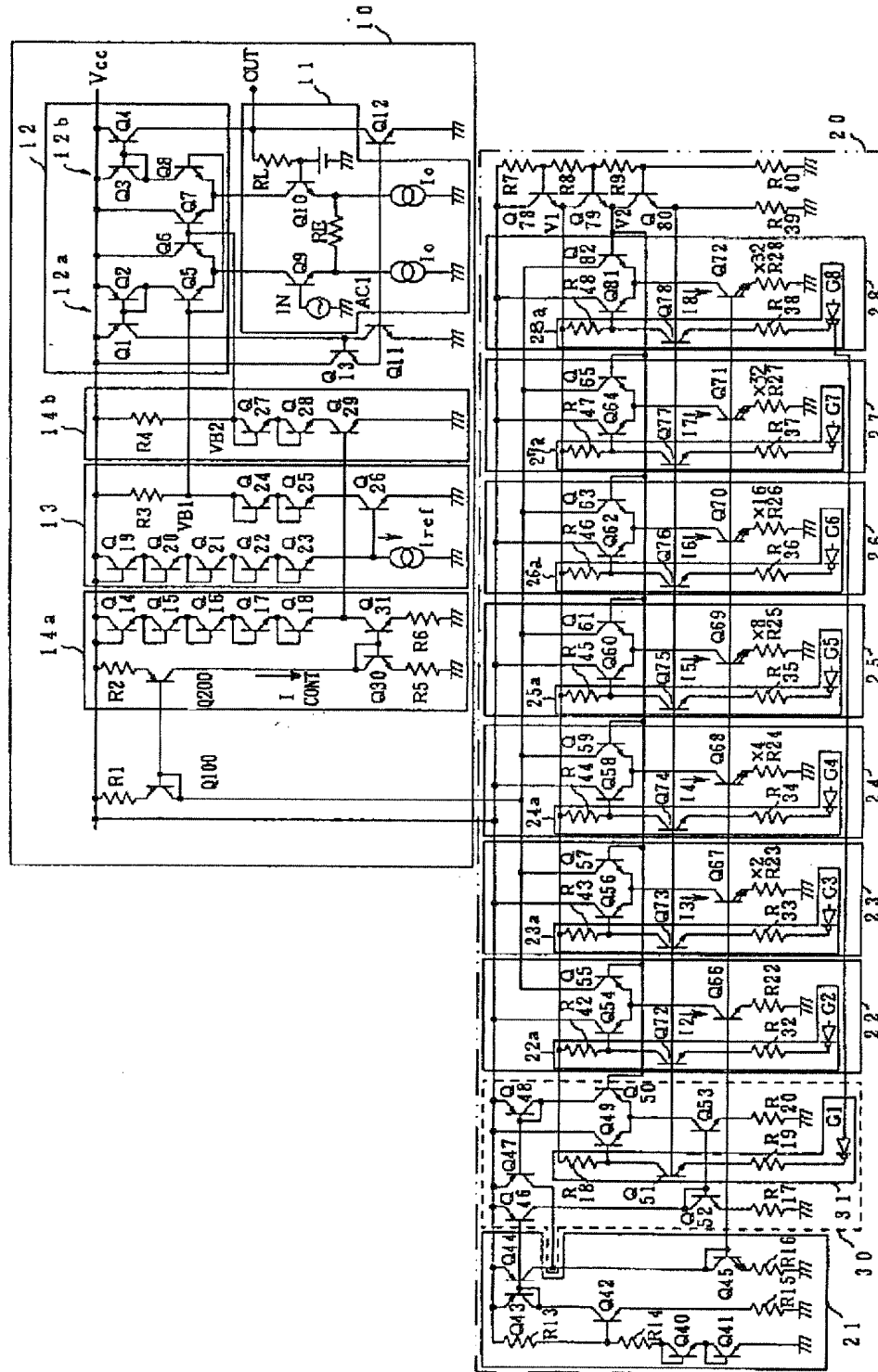
【図4】



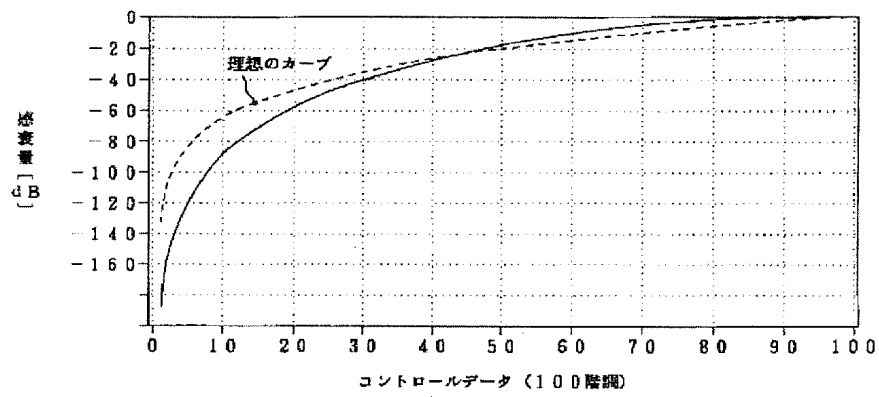
【図8】



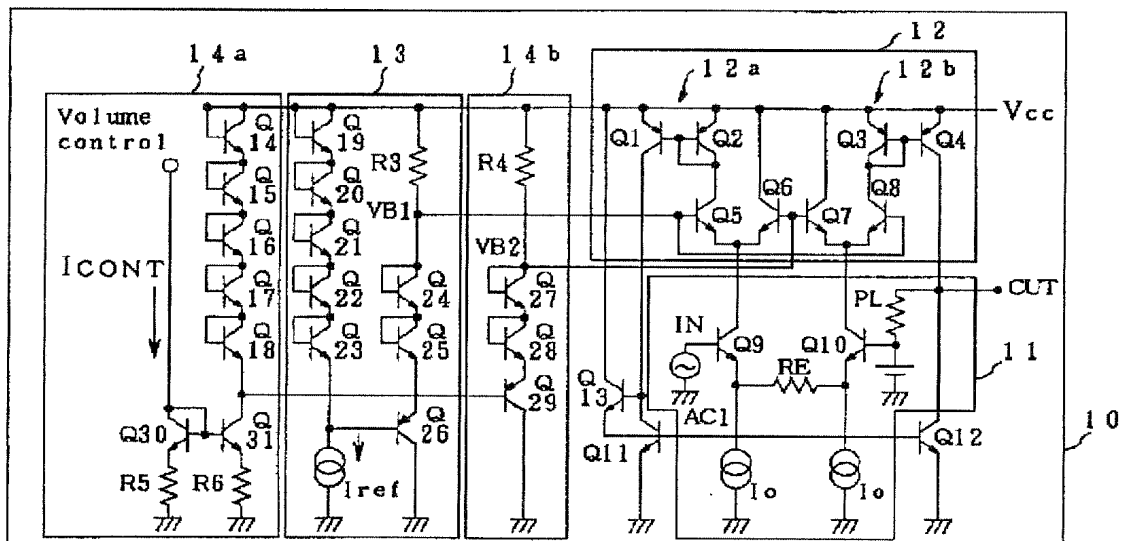
【図5】



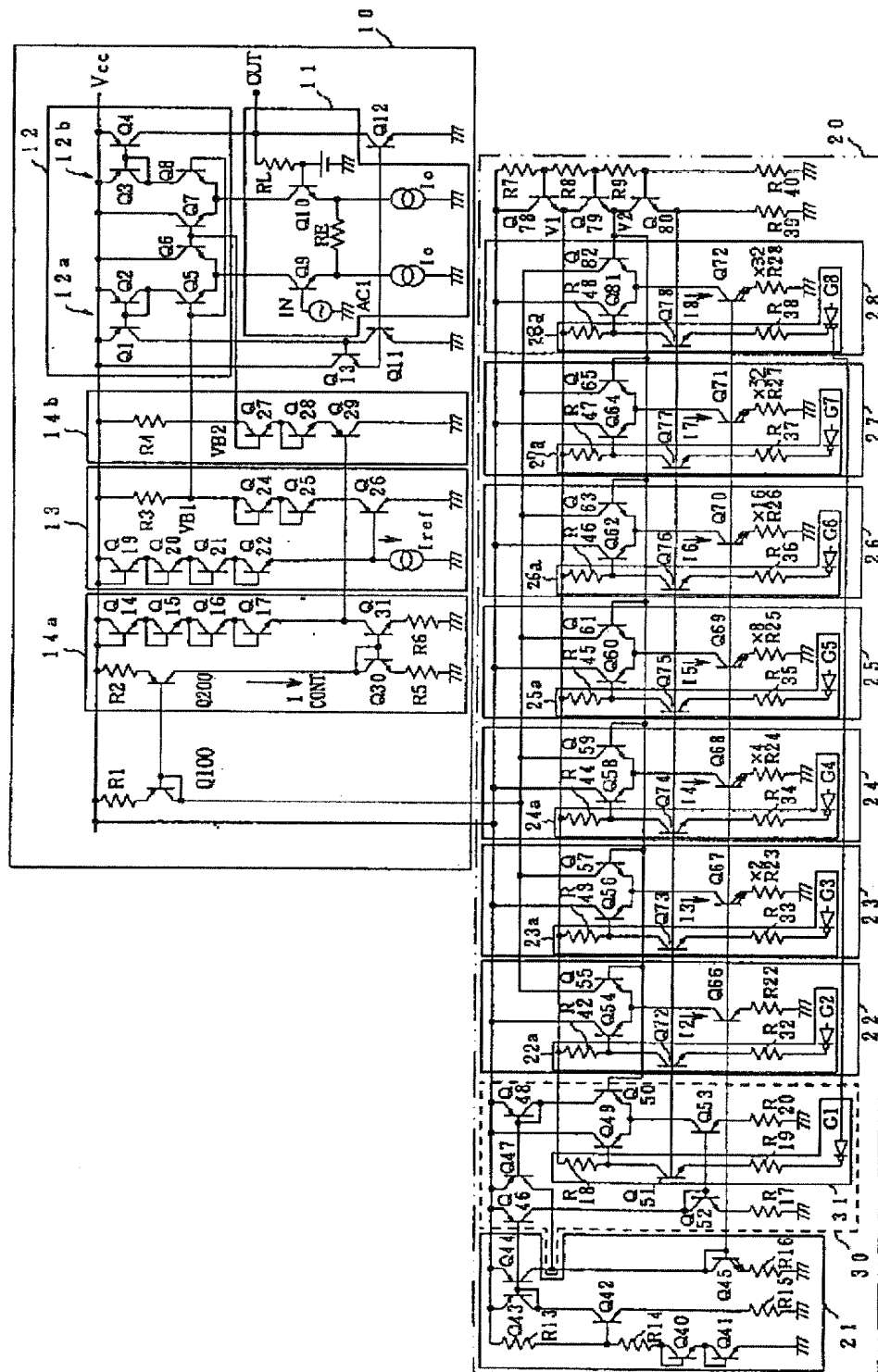
【図 6】



【図 10】



【図7】



【図11】

